# dvp\_ddr3 IP核使用说明

1. 层次结构

|  |  |  |  |
| --- | --- | --- | --- |
| 模块名称 | | | 功能说明 |
| dvp\_ddr3\_top  （顶层） | dvp\_ddr3\_ctrl | | IP核控制逻辑，包含了状态控制寄存器 |
| capture | | DVP数据采集模块，RGB888格式 |
| ddr3\_write | async\_fifo\_ahead | 将采集到的数据通过f2h\_sdram\_data总线突发至PS侧DDR3的指定buffer |

1. 状态控制寄存器说明

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 寄存器名称 | 地址 | 位宽 | R/W | 功能说明 |
| buffer\_base | 0 | 32 | W | PL向PS侧DDR3写数据的物理首地址。 |
| img\_size | 1 | 32 | W | 一帧图像数据量，以Byte为单位。 |
| start\_statu | 2 | 32 | W | IP工作状态寄存器，1：使能；0：失能；实际只用了bit0。 |
| capture\_en | 3 | 32 | W/R | 采集一帧数据的使能信号：  PS将bit0置1，则PL开始采集一帧图像写入PS侧DDR3；PL采集完一帧图像后，自动将bit0置0；PS处理完一帧图像后，再次将bit0置1以获取下一帧图像；  实际只用了bit0。 |